

# Data and AI Virtual Forum Korea

## In-Memory DB를 위한 새로운 persistent memory 기술

—

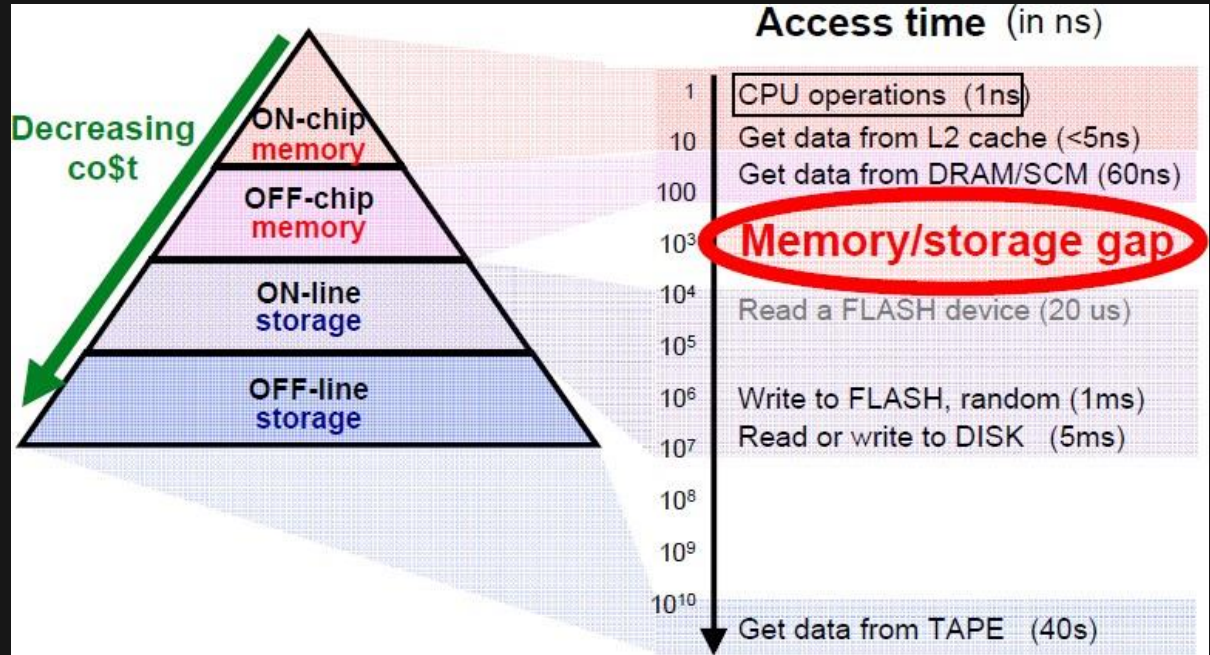
**Data and AI Summit**

유부선

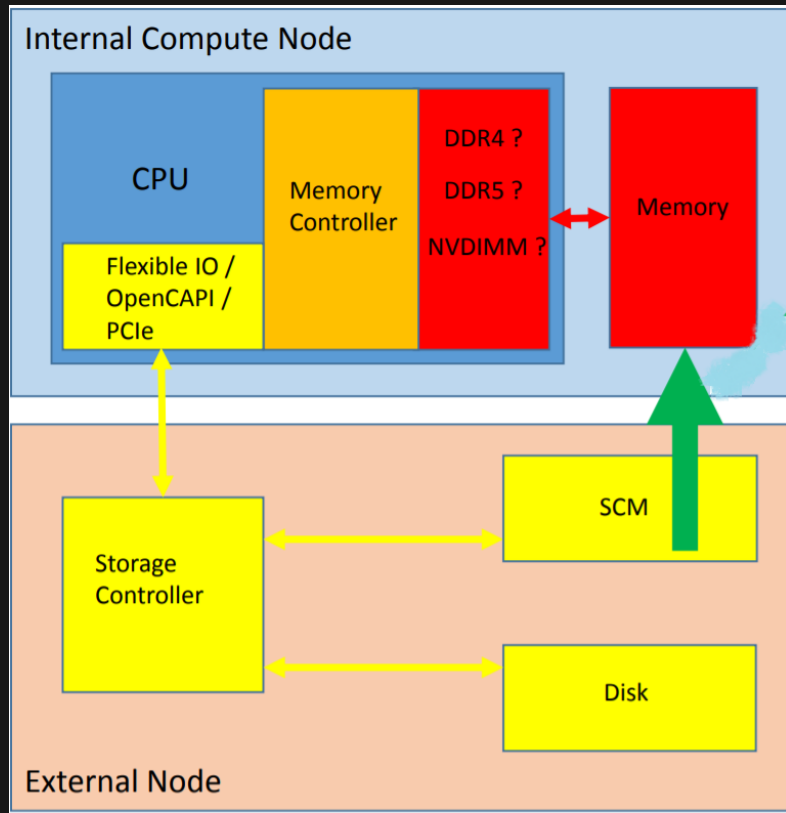
*IBM Cognitive Systems Technical Sales*

# 차세대 memory 기술의 난제

- ✓ AI app의 메모리 요구 용량 증가
- ✓ DRAM 기술의 scaling 문제
  - 용량, 성능, 비용
- ✓ 차세대 메모리 기술로 DRAM 기술을 보완 필요
- ✓ Heterogeneous memory 아키텍처가 가장 합리적



# 차세대 memory 고민점



- ✓ DDR4 / DDR5 interface
  - protocol 경직성, 세대별 관리 어려움
- ✓ NVDIMM-P
  - 어떤 chipset에서 지원?
  - Proprietary extension on DDR4 for single SCM\* technology
  - 제한적인 혁신, \$/GB 경쟁
  - 대역폭과 용량을 일부 희생
  - DRAM tier vs. SCM tier

\* SCM : Storage Class Memory

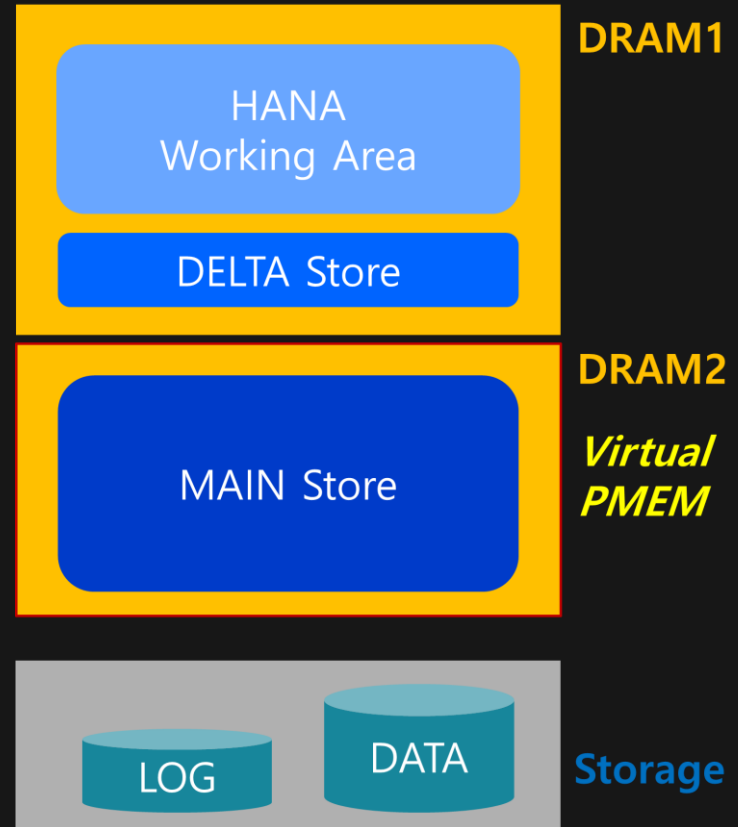
# SAP HANA 사용 고객들의 고충

- ✓ 잦은 hardware 장애
  - non-Power에서 Power 환경으로 옮긴 이후 연간 downtime 평균 48시간 감소 (\*)
- ✓ Persistent memory 기술에 대한 vendor lock-in
- ✓ Downtime 시 빠른 restart 필요
- ✓ Persistent memory 사용으로 인한 성능 저하
- ✓ 추가적인 persistent layer 도입으로 인한 추가적 비용, 병목이나 SPOF 발생

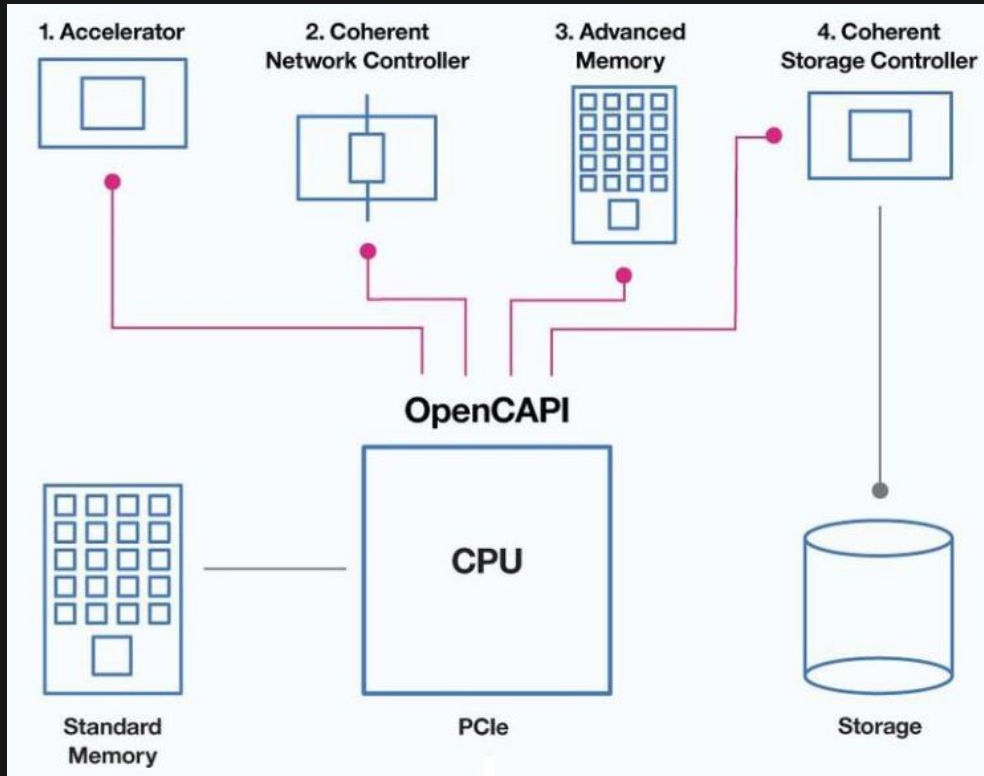
\* Source [https://www.ibm.com/account/reg/us-en/signup?formid=urx-39852&cm\\_mmc=OSocial\\_Blog--Systems\\_Systems+++Power--US\\_US--Forrester+TEI+study+for+SAP+HANA+on+Power&cm\\_mmca1=000003FT&cm\\_mmca2=10001366](https://www.ibm.com/account/reg/us-en/signup?formid=urx-39852&cm_mmc=OSocial_Blog--Systems_Systems+++Power--US_US--Forrester+TEI+study+for+SAP+HANA+on+Power&cm_mmca1=000003FT&cm_mmca2=10001366)

# SAP HANA with Virtual PMEM on IBM Power Systems

- ✓ 가상화를 이용하여 DRAM 일부 영역을 persistent memory로 활용
  - DRAM을 2개 region으로 분할
  - DRAM2의 data는 OS restart 경우에도 persistent
  - DRAM2는 Linux OS 및 HANA에게 PMEM device로 인식되고 main region으로 사용
  - Planned 및 unplanned downtime 시 HANA의 Fast Restart
  - 90% 이상의 유지정비 시나리오에 적용 가능
  - 추가 비용이나 runtime 성능, latency 등의 영향 없음

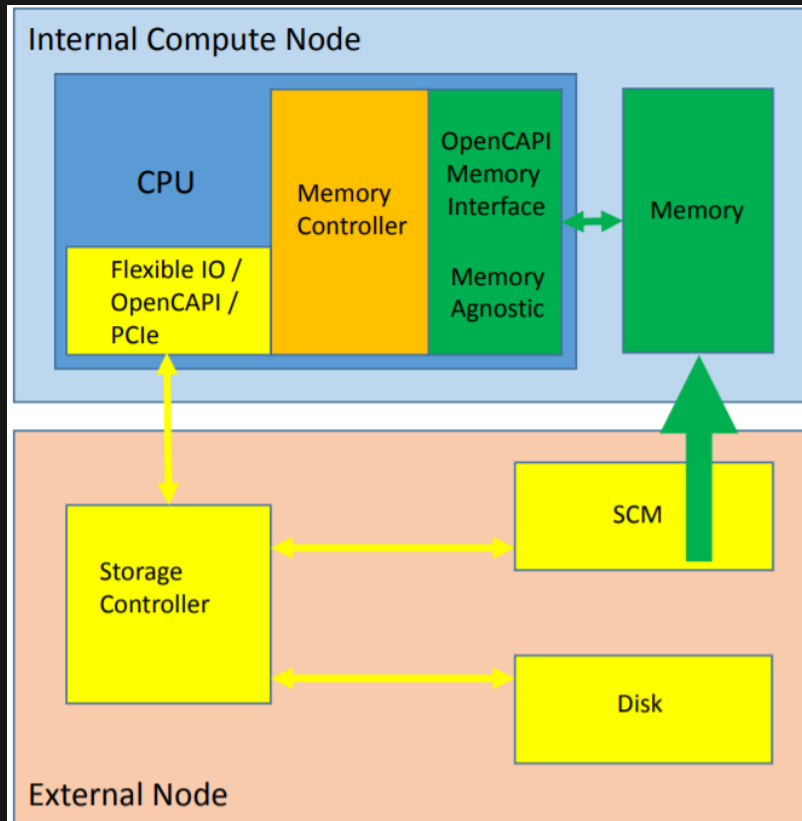


# OpenCAPI (Coherent Accelerator Processor Interface)



- ✓ OpenCAPI란 ?
  - CPU에 accelerator를 연결하기 위한 새로운 standard
  - GPU, FPGA, ASIC, storage-class memory, NIC, HBA 등 다양한 use case
  - Google, IBM, AMD, Mellanox, Dell, Micron, NVIDIA, HPE, Xilinx 등 주요 IT 업체들이 회원

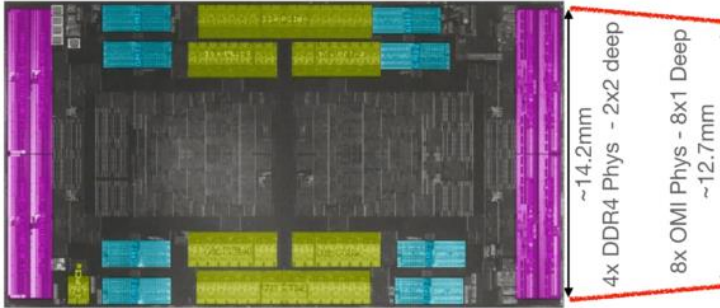
# OpenCAPI Memory Interface의 가치



- ✓ Open memory agnostic interface standard
  - No vendor lock-in
  - 향후의 다양한 메모리 기술을 포용
- ✓ 더 높은 대역폭과 더 많은 용량
  - DDR4 대비 OMI는 절반 정도의 pin으로 약 2배의 대역폭
  - OMI는 DDR4와는 달리 read와 write의 최대 성능을 동시에 발휘
  - Processor 당 최대 16 OMI channels 가능

# OMI의 우월성 : DDR4의 4배, HBM2의 1.2배

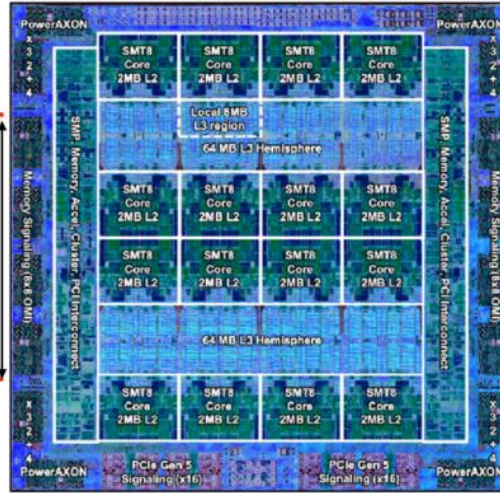
4x DDR4 3200 DIMM Channels = 102GB/s



AMD - EPYC Rome IO Die  
8.34B Transistor on  
TSMC 7nm - 416mm<sup>2</sup>  
~15.07mm x 27.61mm

**7.2GB/s / mm of Die Edge**  
**Up to 36GBytes/mm of Die Edge**

8x OMI DDIMM Channels = 400GB/s  
Or 200GB/s Read + 200GB/s Write



POWER10  
18B Transistors on  
Samsung 7nm - 602 mm<sup>2</sup>  
~24.26mm x ~24.82mm

**31.5GB/s / mm of Die Edge**  
**Up to 81GBytes/mm of Die Edge\***

\* Higher with different Media - e.g. 1.9TBytes/mm with BittWare 250-HMS

5x HBM2s = 1,555GB/s<sup>1</sup>  
∴ 1x HBM2 = 311GB/s  
Or 155GB/s Read + 155GB/s Write

Source : NVidia



Ampere  
54.2B Transistors on  
TSMC 7nm N7 - 826 mm<sup>2</sup>  
~24.26mm x ~24.82mm

**27.0GB/s / mm of Die Edge**  
**Up to 0.7GBytes/mm of Die Edge**

\* Source <https://openpowerfoundation.org/openpower-foundation-introduces-ibm-hardware-and-software-contributions-at-openpower-summit-2020/>



**감사합니다**