

## 検索時パリティチェック機能を有する高速並列型連想メモリ

- ワイヤースピード・プロセッサの通信アクセラレータのためのパリティ付連想メモリ -

宮武 久忠

## High-Speed Parallel Content-Addressable Memory (CAM) Having Parity Check Function during Search

- String-Search CAM with Parity for Network Accelerator in Wire-Speed Processor -

Hisatada Miyatake

IBM で開発中のワイヤースピード・プロセッサ LSI の通信データ圧縮用アクセラレータのために、データ検索中にパリティチェックを実行する高速の並列型連想メモリを開発した。検索時間に影響を与えずに、複数の検索対象データに対して同時にパリティチェックを行うという従来にない機能を実現するために、データ通信や、アドレスに対してデータを読み書きする通常タイプのメモリで使われている従来のパリティチェックの方法を見直し、連想メモリの特性を利用する効率的かつ効果的な方法を考案した。これは並列型連想メモリ一般に使える汎用性の高いものである。作製された LSI で、開発目標どおりの機能と性能を確認した。本論文で、検索時同時パリティチェックの方法とその検討内容、回路方式、および、高速の並列パリティチェックと検索動作を可能にする連想メモリのメモリワードを中心に述べる。

A high-speed parallel content-addressable memory (CAM) with parity check function executed during search operation has been developed for an accelerator for network data compression in a wire-speed processor LSI being developed at IBM. In order to achieve the new function of simultaneous parity-checking on plural searched data without affecting search speed, the conventional parity-checking for data communication and for ordinary memories where data are read and written to an address was reviewed, and an efficient and effective method to utilize CAM characteristics was devised, which can universally be used in any parallel CAM. The designed functions and performance were confirmed on prototype LSIs. This paper mainly describes and discusses this method for simultaneous parity-checking during search, the circuit scheme employed for the method, and the CAM memory word used to enable the fast parallel parity-check and search operation.

Key Words & Phrases : 連想メモリ, パリティチェック, ワイヤースピード, 文字列検索, プロセッサ  
content-addressable memory (CAM), parity check, wire-speed, string search, processor

## 1. はじめに

IBM で開発しているワイヤースピード・プロセッサ [1] は、ネットワーク処理を受け持つネットワークプロセッサと従来のサーバー機能を担うサーバープロセッサの特性を融合した新しいタイプのプロセッサ LSI (大規模集積回路) である。この LSI には、ネットワークプロセッサの機能の一部として、イーサネットフレームのデータを送信時に圧縮し、受信時に伸張することによって通信速度を上げるハードウェアアクセラレータを搭載している。このアクセラレータ・ユニットが実装するデータ圧縮のアルゴリズムの中で

LZ (Lempel-Ziv) 法が使われている。LZ 法は、既出の文字列と同じ文字列が現れたときに、その文字列を既出文字列の位置と長さの情報に置き換えることによってデータ圧縮を行う可逆型の (lossless) データ圧縮方式である。このデータ圧縮方式で中心的役割を担うのは文字列検索であるが、ワイヤースピード・プロセッサでは、この文字列検索を 10 Gb イーサネットのワイヤースピード (通信回線の最大データ伝送速度) に対応して行う必要がある。そのために、全記憶データに対して同時に並行して検索データと比較し文字列を探す検索機能を持つカスタムメモリとして、1.15 GHz で動作する並列型の文字列検索連想メモリ (SSCAM: String-Search Content-Addressable Memory) の開発が、ワイヤースピード・プロセッサとしての性能目標達成上要請された。すなわち、1.15 GHz クロックの 1 サイクルの時間で

提出日:2010年5月7日 再提出日:2010年9月15日

ある 870 ps 弱ごとに入ってくるデータ（検索データ）をすでに記憶している全データと比較して検索データと同一のデータを記憶していないか調べ、記憶している場合にはさらにそれまでの一致履歴と照合するメモリ装置の開発が必要になった。

一方で、ワイヤースピード・プロセッサは、IBM の従来のサーバーと同様に、システムとして IBM 伝統の RAS (Reliability = 信頼性, Availability = 可用性, Serviceability = 保守性) の規準を満たす必要がある。つまり、データ圧縮の信頼性を維持し、記憶データに何らかの原因でエラーが発生した場合に適切に対処して可用性と保守性を高める必要があるが、SSCAM では、これは、通常の動作において記憶データのエラーを検出できるよう、パリティチェックを行うことという要求となった。一般にメモリで記憶データの信頼性が要求される場合にはデータ読出し時にパリティチェックを行うことが多いが、これは記憶データを使うのがデータ読出し直後であり、読出し時にパリティチェックを行うのが効果的だからである。今回のデータ圧縮ユニットの通常の動作では、SSCAM に対してデータ読出しは行わず、書込み動作と検索動作しか行わない。したがって、データ圧縮ユニットのこの動作態様に対応するために、SSCAM においては、記憶データを使用する検索動作時にパリティチェックを行うことになる。

従来、連想メモリ (CAM: Content-Addressable Memory) で、複数データの並列検索動作時にパリティチェックを行う例は知られていない（例えば、文献 [2], [3] とその参考文献参照）。順次データを読出しては比較するシリアル型連想メモリで、検索のためのデータ読出し時にパリティ

チェックを行う例はあるが [4~6], これは通常メモリ読出し時のパリティチェックをデータ比較の前に行っているに過ぎない。また、シリアル型連想メモリは、データ検索にアドレス空間の大きさに比例した時間がかかるため、動作スピードの観点からワイヤースピードでの応用には使えない。別の方法として、並列型連想メモリで、検索で見つかり使用することになったデータに対して、そのアドレスを用いて改めてデータを読出し、パリティチェックを事後的に行うことも考えられるが、それではワイヤースピードで検索データが次々に入ってくる状況で、必要なタイミングでパリティチェックを行うことが保証されない。

すなわち、全アドレスで同時にデータ比較する並列（パラレル）検索動作時に、各アドレスの比較対象データのパリティチェックを、同時に並行して、かつ検索スピードに影響を与えずに実行しなければならないという課題が発生した。この課題を解決できなければ、通信高速化のためのアクセラレータを、開発中のワイヤースピード・プロセッサ LSI に性能目標を達成する形で搭載することができない。その解決法はすでに公表したが [7], 本論文で、検討内容も含めて論述する。

以下、2 章で、パリティチェックと連想メモリについて一般論すなわち従来の概念を中心に述べ、3 章で、並列検索動作時に検索対象となる有効な全データに対して、同時にパリティチェックを実行する方法と、それを高速に実現する回路方式を提示するとともに、その方法の妥当性を議論し、そのためのメモリワードを示す。4 章で、開発した SSCAM マクロの概要とワイヤースピード・プロセッサにおける使用態様を、5 章で設計の検証について、簡略に述べる。

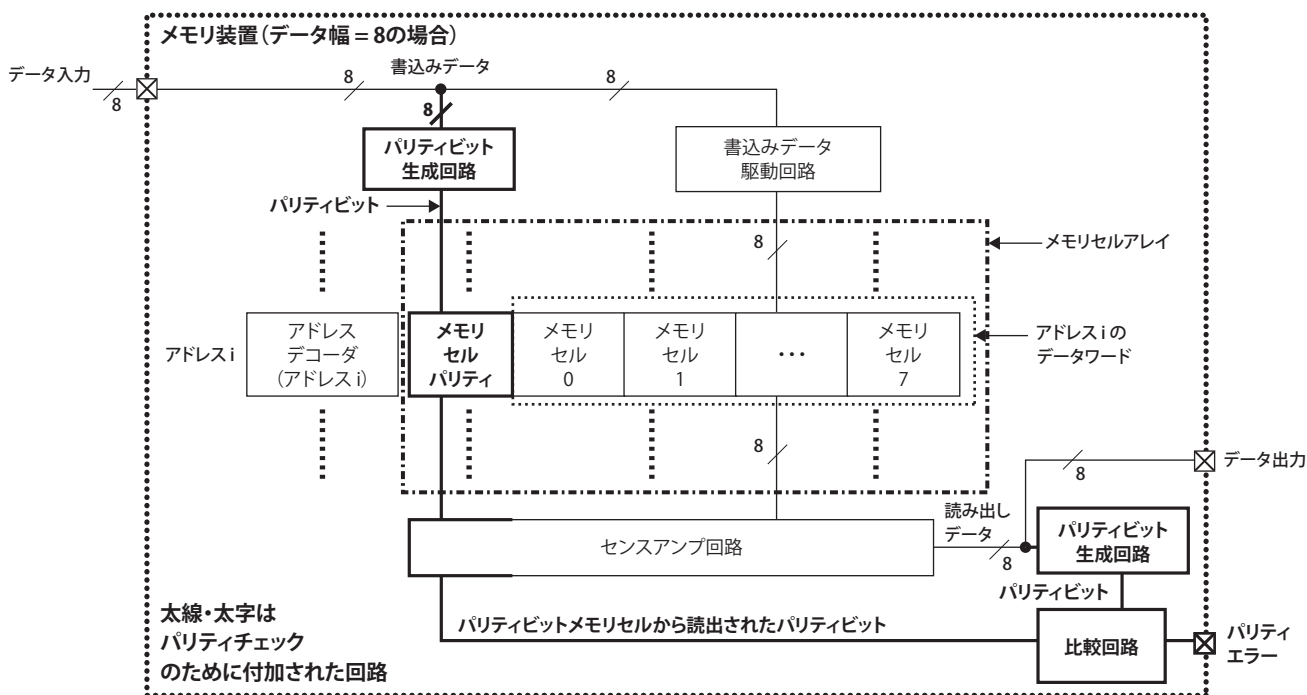


図1. 通常の（アドレスを指定してデータを読み書きする）メモリ装置のパリティチェック

## 2. パリティチェックと連想メモリ

### 2.1 パリティチェック

パリティチェックは、データの通信や記憶に際して、一定の個数のビットの列に対して、1または0の個数が全体として偶数か奇数（あらかじめ偶奇のどちらかに決めておく）になるようにパリティビットを生成して付け加え、データ伝送後またはデータ読出し時にその偶奇性（パリティ）が変わっていないことをもって正しいデータが伝送された、または、読出されたと判定するチェック方法である。奇数個のデータビットの反転によるエラーが検出できる。

アドレスを指定してデータの読み書きを行う通常のメモリ装置においては、ひとつのアドレスに格納されるビット列をデータワードということにすると、通常、データワードか、それをいくつかに分けたビットグループごとにパリティチェックを行う。具体的には、以下のようにする。図1に沿って説明すると、データをメモリ装置に書込む際に、データワードの0または1の個数を調べ、適切なパリティビット（0か1）を生成する。そして、アドレス入力信号で指定されたアドレスにデータとともにパリティビットを書込む。後に、そのアドレスからデータを読出したときに、パリティビットを含めた全体の偶奇性を調べるか、読出したデータワードから再度パリティビットを生成して、読出したパリティビットと比較することによってパリティチェックを行う。図1で太線および太字で描かれた部分がパリティチェックのために付加される回路である。

データワードなりビットグループを構成するビットのうち1の個数が奇数の場合にパリティビットとして1を生成する回路は反一致回路である Exclusive-OR(Ex-OR) で作ることができる。Ex-OR の記号と真理値表を図2に示す。CMOS

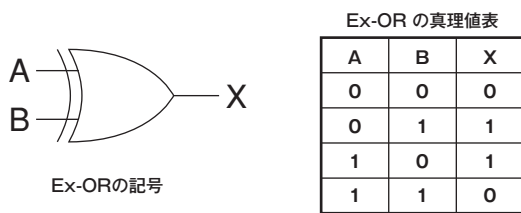


図2. Exclusive-OR の記号と真理値表

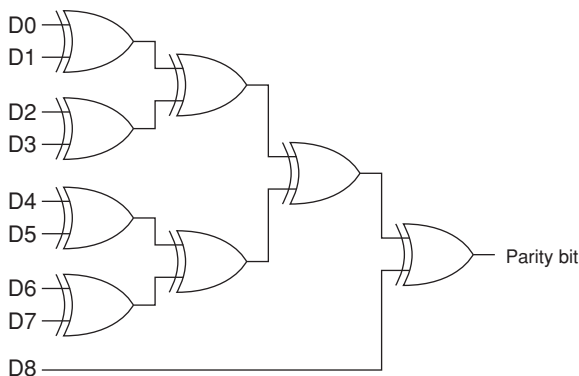


図3. 9ビットのデータに対するパリティビット生成回路

回路で構成する場合、最小の Ex-OR は 6 個のトランジスタで構成することができる。9 ビットのデータに対して同様のパリティビットを生成する回路を図3に示す。

### 2.2 連想メモリ

通常のメモリ装置ではアドレスで記憶場所を指定し、そこにデータを書込んだり、そこからデータを読出したりするが、連想メモリでは、逆に、データ（検索データ）を与えて、メモリ装置内に記憶している全データを検索データと比較し、一致するデータが見つければ、見つかったことを示すマッチ信号またはヒット信号と、見つかったデータの記憶場所を示すアドレスかそのデータと関連付けられたデータを出力する。

最も簡単な実現法は、通常のメモリにアドレス発生回路と検索データ保持回路とデータ比較回路を付加し、アドレス発生回路で発生したアドレスで示される記憶場所に記憶しているデータをメモリから読出して、そのデータを検索データと比較するという動作を、全アドレスに対して繰り返すことである。これをシリアル型連想メモリという。一回の読出し動作に必要な時間をサイクル時間ということにすると、データ検索時間は、最大でサイクル時間とアドレス数の積となり、アドレス空間が大きくなればそれに比例して検索時間が増加する。

1 サイクル時間内で検索を終えるには、1ビットのデータを記憶するメモリセルごとに比較回路を持たせ、検索データを全記憶場所に一齐に送り、各記憶場所で同時にデータ比較を行い、比較結果を集めてその後の処理に使う。この方式の連想メモリをパラレル型（並列型）連想メモリという。

シリアル型でもパラレル型でも比較結果に基づく処理内容に応じて様々な形態の連想メモリが作られる。

今回開発した連想メモリは、さらに、連続するデータ入力に対して、連続する記憶場所に一致する文字列ないし記号列があるかどうかを判定する文字列検索機能も備える。これは、Lempel-Ziv方式のデータ圧縮に本質的な機能であるが、本論文の主題であるパリティチェックは、文字列検索処理の前段の一文字毎の一致（マッチ）判定時、すなわちデータワード毎のマッチ判定時に行われるので、文字列検索機能とは関係がないため、この機能については別の機会に譲る。

並列型連想メモリで、検索時に、検索動作と同程度の時間でパリティチェックを行うには、検索対象であるデータすべてに対して、すなわち理想的には検索対象の全アドレスに対して、パリティチェックを同時に行う必要がある。

## 3. 検索時パリティチェックの方法と回路方式

並列型連想メモリで検索時にパリティチェックを行うことの困難は、パリティチェックの対象となるデータが、通常のメモリでは読出された1アドレスのデータのみであるのに対し、連想メモリでは検索対象である全データであり、また、パリティチェックに許される時間が並列検索動作の1サイクル分しかないことにある。この課題を克服するためには、連想メモリの全アドレスの記憶場所に十分高速なパリティチェック



の機能を備える必要がある。

### 3.1 検索時同時パリティチェックの方法-1

全てのアドレスにおいて同時にパリティチェックを行う機能を持つ単純な方法は、図3のような回路を含むパリティチェック回路を各アドレスに置くことである。この場合、メモリセルの配列であるメモリセルアレイは面積がパリティチェック回路の分だけ大きくなる。先述のように、2ビットのパリティ生成回路は6個のトランジスタで構成できるが、SSCAMは文字列検索のために1アドレスあたり一文字分の8ビットのデータ（ユーザーデータ）とそのアドレスが検索対象として正しいデータを保持しているかどうかを示すビット（バリッドビット）の計9ビットのデータを持っているので、9ビットのデータからパリティビットを生成する回路（図3）が必要である。さらに、その生成したパリティビットと記憶しているパリティビットとを比較する回路が必要である。この比較にもEx-Or回路を使うと、合計9個のEx-OR回路、すなわち、54個のトランジスタが1アドレスあたりに必要になる。一方、並列型連想メモリのメモリセルは、一般に、構成法によるが、1ビットあたり9個から16個のトランジスタが必要である。SSCAMでは、ワイヤースピード・プロセッサLSIの設計手法の制約から、1ビットあたり13個のトランジスタを使用するメモリセルを設計したので、パリティビットとバリッドビットを含めた10ビットのメモリワードは130個のトランジスタから構成される。これに上記のパリティチェックの回路を追加すると、メモリセルアレイの大きさは、パリティチェック回路が無い場合に比べて、1.4倍を超える。

メモリセルアレイが大きくなることは、直接にはチップ面積の増大となるが、配線が長くなることをも意味し、それは、遅延時間の増大すなわち動作スピードの低下と、配線容量の充放電のための電流すなわち動作電流の増大という結果になる。従って、このような、パリティチェック回路の各アドレスへの追加という単純な方法を現実採用するのは難しい。

### 3.2 検索時同時パリティチェックの方法-2

連想メモリでは、検索データと一致（マッチ）する記憶データを探すのであるが、一致が確認できたアドレスの記憶データは検索データと同じであるから、その記憶データから作るパリティビットは、検索データから作るパリティビットと同じである。この事実に着目すると、記憶データから作るパリティビットの代わりに検索データから作るパリティビットを使うことに想到する。検索データのパリティビットは、検索データを受け取ったところで一度作ればよいだけであるから、これを使うことによって、各アドレスにパリティビット生成回路を置かなくてもよくなる。ただし、このパリティビットによるパリティチェックが有効であるのはマッチがとれたアドレスのデータだけであるので、これで十分であるかどうかは検討を要する。

データワードとしてマッチがとれたデータには、もともとマッチしないユーザーデータがビットエラーのためにマッチした場合も含まれる。SSCAMの場合、マッチのとれたデータワードはデータ圧縮に使われるので、このようなエラーがあって見

逃された場合には間違ったデータ圧縮というシステムとして致命的なエラーにつながる。したがって、検索データとマッチするデータワードのパリティチェックは必須である。

一方、マッチしないデータワードは、もともとマッチしないデータワードか、もとはマッチするはずであったがビットエラーのためにマッチしなくなったかのどちらかである。前者の場合は、本来使う可能性のないデータであるから問題にならない。後者は、ビットエラーがなければデータ圧縮に使えたかもしれないが、ビットエラーのためにデータ圧縮に使えなくなった場合である。これは、一般的には、データの圧縮率を下げる方向になり、システムとして、圧縮性能が低下する可能性はあるが、致命的なエラーにはならない。圧縮性能の低下の影響は、エラー率を仮定して計算することができるが、データ圧縮ユニットでの評価およびネットワークプロセッサとしての評価で、問題がないことが確認されている。

一般に、連想メモリの使用においては、マッチのとれたデータについて、そのアドレスや関連データに基づく処理を行うので、パリティエラーがあるかどうかの問題になるのは、マッチのとれたデータだけであることが多い。すなわち、マッチしないデータは使われないので、マッチしないデータのエラーの有無は問題にならないか、エラーの影響を評価検討した上でエラーを無視できる場合が多い。今回のデータ圧縮はその一例である。

以上により、検索データから生成したパリティビットをメモリセルアレイ全体に一斉に送り、各アドレスで保持するパリティビットと比較し、その比較結果を、そのアドレスに記憶するデータワードと検索データワードの比較結果がマッチである場合に有効化して使うという新しい方法が使えることがわかる。

なお、RASの観点から、パリティエラーを明確に把握するために、パリティビットのみ他のデータビットと独立に比較し、パリティビットを含まないユーザーデータと検索データの比較結果がマッチである場合にパリティビットの比較結果を有効化し、マッチ信号はそのまま別に出力する方式をとった。別の方式としては、パリティエラー信号の否定（反転）とマッチ信号の論理積をとり、パリティエラーの検出されたデータワードについてはマッチとはせず、またパリティエラー信号を独立には出さずにマッチ信号の非マッチ状態に反映させるという方式も考えられる。しかし、この方式では、データ圧縮処理の信頼性を維持する点では有効だが、パリティエラーのために非マッチとなったのかデータそのものが非マッチであったのか区別ができないため、エラーを検出して適切な後処理につなげるというRASの目的の一部が達せられない。

以上に述べた方法は、文字列検索より以前の一文字の検索の段階で行われ、文字列検索機能を利用しないので、一文字（1アドレス）の検索のみを行う通常の並列型連想メモリでもマッチのチェックに広く適用できる一般性を持つものである。

### 3.3 検索時同時パリティチェックの回路方式

上記の方法を連想メモリにおいて具現化する回路方式を図4に示す。太線および太字で描かれた部分がパリティ

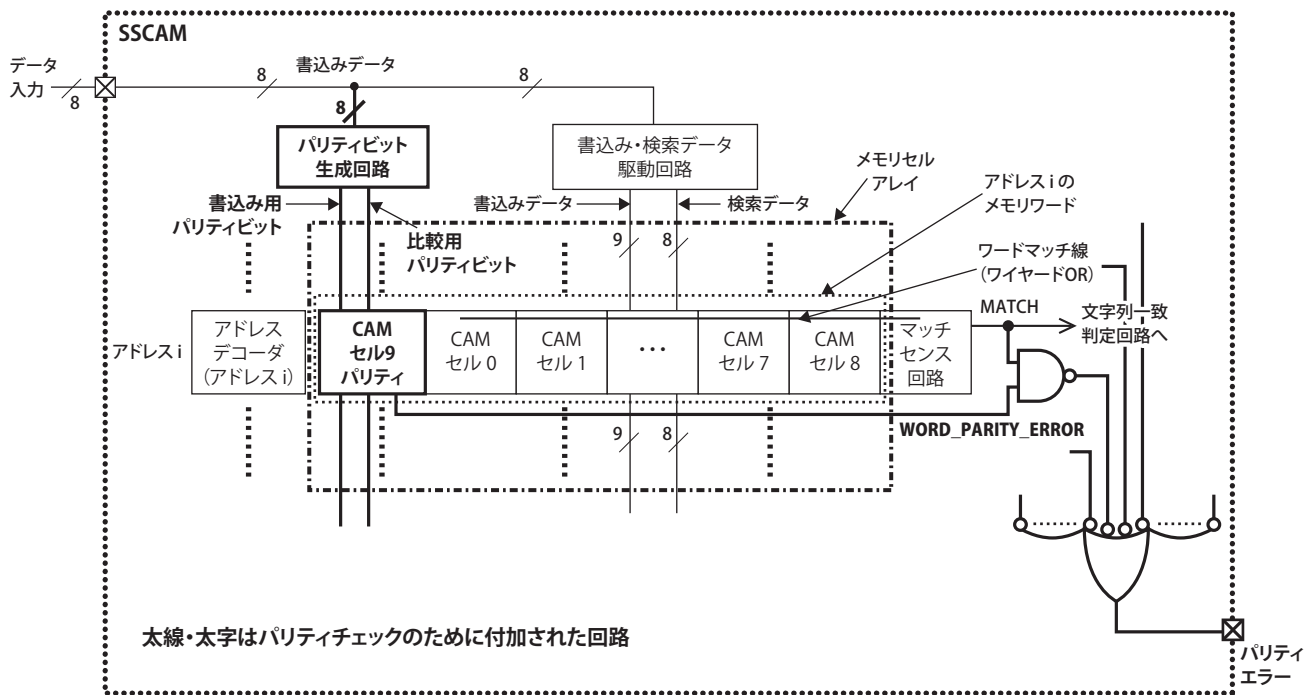


図 4. 開発した連想メモリの検索時パリティチェック回路方式

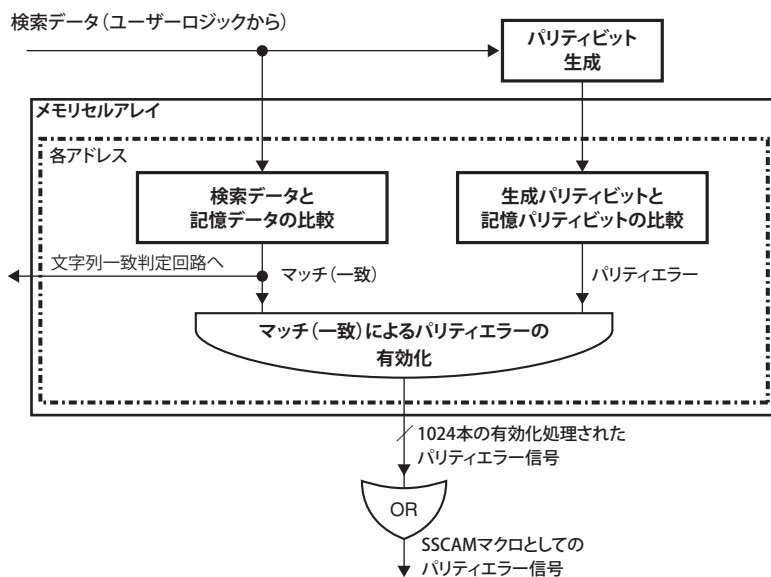


図 5. 検索時同時パリティチェックの処理の流れ

チェックのために付加された回路である。また、図 5 に処理の流れを概念的に示す。

パリティビット生成回路は書き込み動作と検索動作とで共用している。メモリセル (CAMセル) の 0 から 7 ままでがユーザーデータを記憶し、メモリセル 8 はパリティビット用のメモリセルである。パリティビットは、そのアドレスにデータが書込まれるときに真値が書込まれる。図示していないが、パリティビットセルにはリセット信号が入っており、検索動作のためのデータ書き込みが始まる前に全アドレスにわたってリセットされる。メモリセル 9 がパリティビットを格納するメモリセルで、データ書き込み時に生成されたパリティビットがこのメモリセルに他のデータとともに書込

まれる。検索動作時には、検索データから生成されたパリティビットが全アドレスのメモリセル 9 に一斉に送り込まれる。メモリセル 9 は連想メモリセルとして記憶データと送り込まれたデータを比較する機能を持っているので、メモリセル 9 の中でパリティビットの比較が記憶されているビットと検索時に生成されたビットとの間で行われる。メモリセル 0 から 7 ではユーザーデータが記憶データと検索データとの間でビットごとに比較され、両者が全ビット一致してパリティビットが有効状態である場合に MATCH 信号が真となる。パリティビットのエラー信号は MATCH 信号が真である場合に有効となり後段に伝達される。すなわち NAND 回路を使って MATCH 信号でパリティエラー信号をゲートしている。メモリアレイの有効化されたパリティエラー信号は、各アドレスから集められ、論理和がとられて、全アドレスのうちひとつでもエ

ラーとなっていれば連想メモリとしてパリティエラー信号を出力する。なお、SSCAM のメモリセルでは書き込みデータのポートと比較データのポートを別々に持っているため、メモリセルとの接続部での寄生容量を軽くして動作速度を上げるために、書き込み用ビット線対と検索用ビット線対は分離している。

この回路方式では、通常メモリでパリティチェックを導入する際に必要となるパリティビット生成回路とパリティビット用メモリセル以外に追加すべきは、各アドレスでパリティエラー信号を有効化する論理積機能の回路と、全アドレスからのパリティエラー信号をまとめる論理和機能の回路のみである。すなわち、各アドレスにその記憶データからパリティビッ

トを生成する回路を置く必要がない。したがって、パリティビット生成に伴うメモリセルアレイの面積の増加はなく、全体の面積と消費電力の増加も最小限に抑えられている。また、このパリティチェック機能は、上記の回路方式からわかるように、ユーザーデータの検索動作と並行して実行されるので、検索のスピードに影響しない。

このパリティチェックは、文字列検索の機能とは独立の、並列型連想メモリ一般に共通する部分で行われている。従って、この回路方式は、連想メモリで、マッチが取れたデータのパリティチェックを行えば十分な場合に、一般的に適用でき、上の面積、消費電力、検索スピードに関する議論もそのままあてはまる。

### 3.4 高速マッチのためのメモリワード

パリティビットを除くメモリワードのマッチ判定は、ユーザーデータの各ビットからの 8 本のマッチ情報とバリッドビット情報の計 9 本の論理積をとる必要がある。IBM の従来のサーバー用 LSI の設計環境では、連想メモリセルとしてスタティックなビットマッチ出力を持つ回路しか用意されていない。この回路を使えば上記 9 本の信号の論理積をとるために最小で 2 段の論理ゲート回路が必要になる。一方、パリティビットについては、メモリセル内で比較して出力するため、ワードマッチ信号はそれに比べて最小でも 2 段分の信号遅延が生じる。パリティビットの比較結果はワードマッチ信号でゲートされているため、ワードマッチ信号がパリティエラー信号の伝達を遅らせることになる。パリティエラー信号は後段に巨大な論理和回路を控えているので、遅延時間を極力抑える必要がある。そこで、ワードマッチ信号の遅延時間がパリティエラー信号と同程度になるように、ワードマッチ線を負論理のワイヤードオア回路とし、それに使えるオープンドレイン出力の連想メモリセルを新たに設計した。これによって、パリティエラー信号のみならず、ワードマッチ信号も高速化され、また、上記 2 段の論理回路とそれに伴う配線領域が削減される（メモリセルの面積で比較して約 52%削減）ので、メモリセルアレイの面積が半分以下に小さくなり、全体の配線長が短くなることから高速化の利点を得られた。

表 1. SSCAM マクロの概要

メモリ容量	1K ワード x 10 ビット
動作周波数	1.15 GHz @ 0.97 V
レイテンシ	
読出し	1 サイクル
検索	3 サイクル (パイプライン)
検索ヒット時出力	マッチアドレス、ヒット
複数マッチ時出力	最大アドレス
電源電圧 (VDD)	0.7~1.1 V
テクノロジー	IBM 45 nm SOI
マクロサイズ	209.0 μm × 733.248 μm
マクロ内メタル層	5 層 Cu (チップ: 11 層)

## 4. SSCAM マクロの概要と使用態様

これまでに説明した新しい検索時パリティチェック機能を搭載した文字列検索用並列型連想メモリ (SSCAM) マクロの概要を表 1 にまとめる。

検索時には複数のアドレスでマッチが生じる可能性があるが、その場合はマッチしたアドレスのうちで最大のアドレスを出力するプライオリティ・エンコーダ（あらかじめ決められたルールに従って優先付けをしてアドレスビットパターンに変換するエンコーダ）をマクロ内に搭載している。

データ圧縮ユニットでは、この SSCAM マクロを 8 個使い、8 K の長さの文字列まで検索できるようになっている。検索時のパリティエラーについては、8 個の SSCAM マクロからのエラー信号の論理和をとり、RAS のデータとして使用する一方、検索結果の制御に利用している。

## 5. 設計の検証

検索時同時パリティチェックの回路に加えてメモリセルも含めて SSCAM マクロ全体を IBM 45 nm SOI (Silicon-On-Insulator) 半導体テクノロジー上で新たに設計したので、設計の検証について述べる。

論理機能については、SSCAM マクロのレベルで SSCAM 設計チームが論理シミュレータで検証した後、ユーザーロジックに組み込んだ形でデータ圧縮伸張ユニットのチームによって論理シミュレータで別途検証された。

信号間のタイミング関係（セットアップ時間、ホールド時間等）をチェックするタイミング検証は、レイアウトデータから寄生抵抗と寄生容量も含めて抽出した回路全体のネットリストによって、網羅的にスタティックタイミング検証を行うとともに、クリティカルタイミングパスについては IBM 社の回路シミュレータである PowerSPICE で、同じくレイアウトから抽出したネットリストを使って、ワードマッチ線、ワード線、ビット線等の主要信号の波形の確認も含めて行った。また、回路図のレベルで SSCAM マクロ全体の回路シミュレーションを行い、内部信号のタイミングや波形を確認した。SSCAM マクロをデータ圧縮ユニットに組み込んだ形でのスタティックタイミング検証もユニット設計チームによって行われた。

その他、マクロとしてのノイズ耐性、エレクトロマイグレーション耐性、VHDL モデルとの機能同一性、テスト可能性等、IBM で開発するプロセッサに用いるメモリマクロに要求される検証項目はすべて合格している。

設計の最良の検証は、実際に作製したハードウェアである LSI の動作と性能の確認で得られる。現在ハードウェアでの評価が進行中であるが、LSI に組み込まれたメモリテスト回路によるテスト (BIST: Built-In Self Test) でも、SSCAM を含むデータ圧縮ユニットのテストでも、機能、性能とも設計目標どおりの良好な結果が得られている。

以上により、開発したパリティチェック回路を搭載する SSCAM によって、10 Gb イーサネットのワイヤースピードでの通信をデータ圧縮により高速化し、かつ、IBM 伝統の



RAS 規準を満たすプロセッサ LSI のハードウェアアクセラレータを実現できることが実証された。データ通信の高速化と RAS 規準の両立は、ネットワークプロセッサとサーバープロセッサの特性を融合した新しいタイプのプロセッサ LSI の将来の方向性に影響を与える可能性をもつであろう。

## 6. おわりに

並列型連想メモリで検索時に検索対象データに対してパリティチェックを行うというサーバー LSI の RAS の要求に対して、連想メモリの特性と機能を利用して、面積と消費電力の増加を最小限に抑え、検索スピードに影響を与えることなく、マッチした複数のデータのパリティチェックを同時に実行するという従来にないパリティチェックの方法を考案し、45nm SOI テクノロジー上で設計されたワイヤースピード・プロセッサの通信アクセラレータのデータ圧縮ユニット用に開発した 1.15GHz 動作の SSCAM マクロで実用化した。マッチしたアドレスに対してのみ有効な方法であるが、システムレベルでの致命的なエラーを防ぐのに有効であり、RAS の要求とデータ圧縮の性能要求を満たしてワイヤースピード・プロセッサにマクロとして 8 個搭載され、ハードウェアで機能、性能とも良好な結果が確認されている。開発したパリティチェックの方法は一般の並列型連想メモリにも適用できるものである。

## 謝辞

今回の連想メモリ開発の機会を提供いただきパリティ他の要求仕様の確認等でお世話になった大和システム開発研究所の圧縮伸張ユニットチームの西野清志氏、田中伸宜氏、並びにチームメンバーの方々、SSCAM マクロ設計に尽力いただいた京都事業所 SSCAM チームの山田玄、西河洋雄、森陽太郎、元 IBM Deutschland の Sebastian Ehrenreich の各氏、さらに設計・検証ツールのチームの方々、ハードウェアのテスト・評価チームの方々に深甚の謝意を表します。

## 参考文献

- [1] C. Johnson, et al.: "A Wire-Speed Power Processor: 2.3GHz 45nm SOI with 16 Cores and 64 Threads," *Proc. 2010 IEEE International Solid-State Circuits Conference*, pp.14-16 (2010-2).
- [2] H. Miyatake, et al.: "A Design for High-Speed Low-Power CMOS Fully Parallel Content-Addressable Memory Macros," *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 6, pp. 956-968 (2001-6).
- [3] K. Pagiamtzis, et al.: "Content-Addressable Memory (CAM) Circuits and Architecture: A Tutorial and Survey," *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 3, pp. 712-727 (2006-3).
- [4] Foss, et al.: US Patent 7010741 B2 (2006-3).
- [5] Foss, et al.: US Patent 7350137 B2 (2008-3).
- [6] 栗田公三郎他:公開特許公報,昭63-177242 (1988-7).
- [7] 宮武久忠:PC T国際出願,国際公開番号:WO 2010/050282 (2010-5).



日本アイ・ビー・エム株式会社  
開発製造 マイクロエレクトロニクス事業  
コンポーネント&テクノロジー・ソリューション  
半導体技術開発

宮武 久忠 Hisatada Miyatake

## [プロフィール]

半導体技術および集積回路の評価、開発、設計に幅広く携わる。世界初の DRAM マクロ (embedded DRAM) の開発・設計を主導し、超並列プロセッサ LSI "Execube", L2 キャッシュ LSI 等で実用化、今日の p シリーズ, z シリーズのプロセッサ LSI や SoC に搭載されている embedded DRAM への道を切り開いた。開発した最先端技術の一端は IEEE の論文誌 *Journal of Solid-State Circuits*, *Transactions on Magnetics*, 応用物理学会の論文誌 *Japanese Journal of Applied Physics* 等に掲載された論文および 70 件を超える特許に示されている。