



第6回 多層3D半導体チップ

チップの高積層化を図り、高速かつ高機能でありながら消費電力を低く抑えた新タイプの半導体開発を促進

世界中の企業や個人におけるITの利用は今後さらに増大し、その情報量は爆発的に増大していくことが予想されています。このような情報爆発の時代に求められるのが、さらに高性能なコンピューター・システムです。一方、コンピューターの高性能化を支えてきた半導体技術では、トランジスタ素子の物理的なサイズを小さくすることで、コンピューターの速度が速く、機能が強く、消費電力が少なくなるというスケールリング則の恩恵を受けてきましたが、その微細化技術が物理現象における限界域に達しており、さらなる高速化の要求を実現していくためには、半導体を3次元に積層する技術が必須となります。今回ご紹介する多層3D半導体チップは、半導体の実装技術により実現されるものであり、今後のコンピューター・チップ組み込み製品の開発推進上で非常に重要な技術として大きな注目を集めています。IBMは材料メーカーとの密接な協業体制の下、グローバルでこの多層3D半導体チップの研究開発を精力的に推進しています。

■ 技術概要

多層3D半導体チップは、名前の通り、複数のチップを重ね合わせて積層化したもので、よりコンパクトなチップを実現します。この積層チップ間を充填する樹脂が重要な開発テーマとなっており、従来はチップ搭載後に樹脂を注入する方法が取られていましたが、3Dチップではそのチップ間のギャップが狭く注入が困難になります。従って、チップ接合より前に樹脂を導入する先塗布方式が検討されています。これは樹脂による封止のタイミングとハンダで上下の回路を接続するタイミングを緻密な計算で計りながら、チップ同士を重ね合わせます。基本的には両者を同時に行いますが、接合時のハンダは酸化しているため、その酸化物を除去する必要があります。そこで、酸化を除去する機能を樹脂に備える必要があります。

また多層3D半導体チップで大きな問題となるのは熱対策です。多数のチップを重ね合わせるため、構造的に熱がたまりやすいため、熱を排出する仕組みを開発しなければなりません。特に熱を発生しやすいCPUを組み込んだチップを多層化するためには、熱対策の解決を避けて通ることはできません。樹脂は熱を通しにくい性質があるので、樹脂の絶縁性を保ちながらいかに高い熱伝導性を付与するのかということが現在の大きな開発テーマとなっています。

グローバルで開発の役割を分担

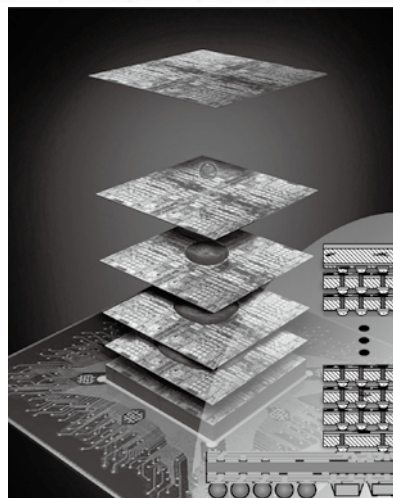
IBMでは多層3D半導体チップの開発をグローバルの研究所ごとにテーマを設定して推進しています。日本では主に多層3D半導体チップにおいて必要となる微細電極の接合技術とその接合部を保護する樹脂封止技術を担当しており、その封止材料に熱伝導機能を付与することも日本主導による重要なテーマとなっています。封止材料による熱対策は新規複合材料を用いた接合方法の開発が中心となりますが、日本の材料メーカーの技術レベルは非常に高く、その成果に大きな期待が寄せられています。

日本の国家プロジェクトとしても推進

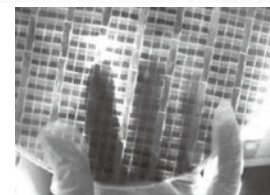
多層3D半導体チップの開発は世界各国がしのぎを削っている分野であり、日本も国家プロジェクトとして開発を後押ししています。日本IBMのメンバーも3次元集積化技術の国家プロジェクトに参加し、最先端の技術開発や国内メーカーとの情報共有をはじめとした有益な活動を展開しています。

材料メーカーと情報を共有しながら開発を促進

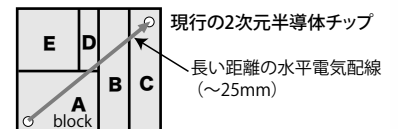
今回の多層3D半導体チップは、IBMがグローバルで促進する、JDA (Joint Development Agreement) の一環として行われています。通常の開発では、例えば接着剤を調達する場合、必要な条件を材料メーカーに伝え、提案されたものの中から採用するかどうかの判断をしますが、JDAではお互いにより多くの情報を共有し合い、必要なものの開発を共同で進めていきます。



開発中の次世代チップ積層技術と積層デバイスの断面図



TSVを形成したシリコン・ウエハー



3次元化
3次元半導体チップ
TSVによる垂直電気配線 (<math><100\mu\text{m}</math>)
TSVによる配線長の大幅な短縮が半導体デバイスの高性能化・省電力化に貢献

シリコン貫通配線 (TSV) を用いた次世代3次元半導体デバイス



ここに注目！

多彩な製品開発が可能

チップがより小型化されることにより、携帯電話、スマートフォン、ゲーム機、デジタル・カメラなど、さまざまな製品分野において、多彩な機能を組み込むことができ、製品そのものの小型化・省電力化を促進することも可能となります。

日本の製造業の発展にも寄与

日本における多層 3D 半導体チップの開発が進展すれば、この技術を活用して製造業の各社が画期的な新製品を開発することが可能となります。そして、国際競争力の強化を背景として、日本経済がさらなる発展を遂げることが期待されます。

性能向上と消費電力削減を実現

多層 3D 半導体チップでは半導体素子をつなぐ配線距離が飛躍的に短くなることから、チップの性能を引き上げるとともに、消費電力の削減も実現することができます。

人の脳の構造に一步近づいた多層3D半導体チップ

コンピューターでは計算を実行する CPU と記憶の役割を果たすメモリーが分離されていますが、人の脳ではその両者を同じ構造の中で行っています。多層 3D 半導体チップでは、CPU とメモリーが限りなく一体化された状態になるので、人の脳に一步近づいたということが出来ます。



多層3D半導体チップの開発メンバー



日本アイ・ビー・エム株式会社
東京基礎研究所
サイエンス&テクノロジー
エレクトロニック&オプティカル・パッケージング
部長
シニア・テクニカル・スタッフ・メンバー

折井 靖光 Yasumitsu Orii

IBM ではサーバーやスーパー・コンピューターの開発を通して、それらに何が重要かという情報を蓄積しています。そうした情報を最大限に活かして多層 3D 半導体チップの開発に必要な要素、解決すべき課題点などを見だし、実用化に向けた開発に役立てることが可能です。また IBM ではグローバルの複数の研究所において基礎研究に注力しています。たとえ、すぐに製品などに応用できない技術であっても、10 年後、20 年後といった将来を見通した上で研究を進める文化が醸成されています。この姿勢を多層 3D 半導体チップの開発にも生かし、一歩進んだ研究成果を世の中に送り出し、日本の製造業のさらなる発展に貢献していきたいと思っています。



日本アイ・ビー・エム株式会社
東京基礎研究所
サイエンス&テクノロジー
エレクトロニック&オプティカル・パッケージング
主任研究部員
博士(工学)

堀部 晃啓 Akihiro Horibe

JDA による開発では、まず材料メーカーの方にこちらの研究施設を見ていただき、どのように開発作業を進めているのかという全工程を把握してもらうことから始めます。そして開発の目的や条件を伝え、材料メーカーではそれに合う材料を開発します。もしその材料開発が困難であることが判明したら、こちらの条件を変えるなど、お互いに工夫を凝らしながら開発を進めるのです。このように情報を共有しながら協業体制の下で開発することにより、従来の材料調達方法では入手困難だった材料を確保できるようになります。また材料メーカーにとっても新しい材料の開発の促進とビジネス機会の拡大を図ることにつながり、両社にとって大きな成果が得られることが期待されます。